

◆通電劣化を抑制したダブルインプラSiCスーパー JunctionUMOSFET◆ Double-Implanted SiC Superjunction UMOSFET to Suppress Bipolar Degradation

産総研¹, 富士電機² ○竹中 研介¹, 俵 武志¹, 成田 舜基², 原田 信介¹
AIST¹, Fuji Electric², ○Kensuke Takenaka¹, Takeshi Tawara¹, Syunki Narita², Shinsuke Harada¹

◆背景と目的

- 産総研ではTPECにおいて、高耐圧と低オン抵抗の両立が可能なスーパー Junction(SJ)構造をnドリフト層に適用した耐圧1.2kV級のSiC-SJ-UMOSFETの研究開発を進めてきた[1]。
- これまでに、SJ構造のpカラム作製時のAlイオン注入によって、pカラムと隣接するnカラムのキャリア寿命が短縮することや、500°C注入より室温注入の方が、より短縮する傾向を確認していた[2]。また、SJ構造の断面CL像より、Alイオン注入で作製したpカラムと、隣接するnカラムで、CL発光強度が増す傾向を確認していた[2]。
- pカラムのAlイオン注入に伴うキャリア寿命の短縮に着目して、nカラム作製時にAlイオンより質量数が大きいPイオンを注入するダブルインプラ方式を用いた通電劣化対策を検討した。

◆実験

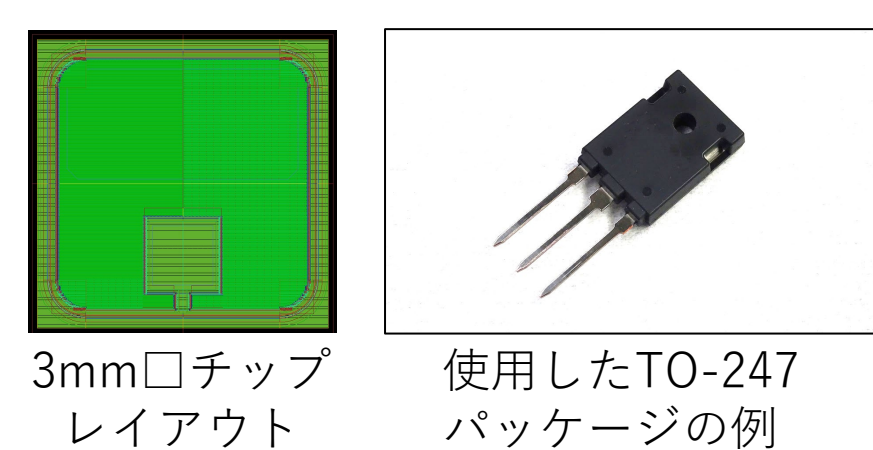
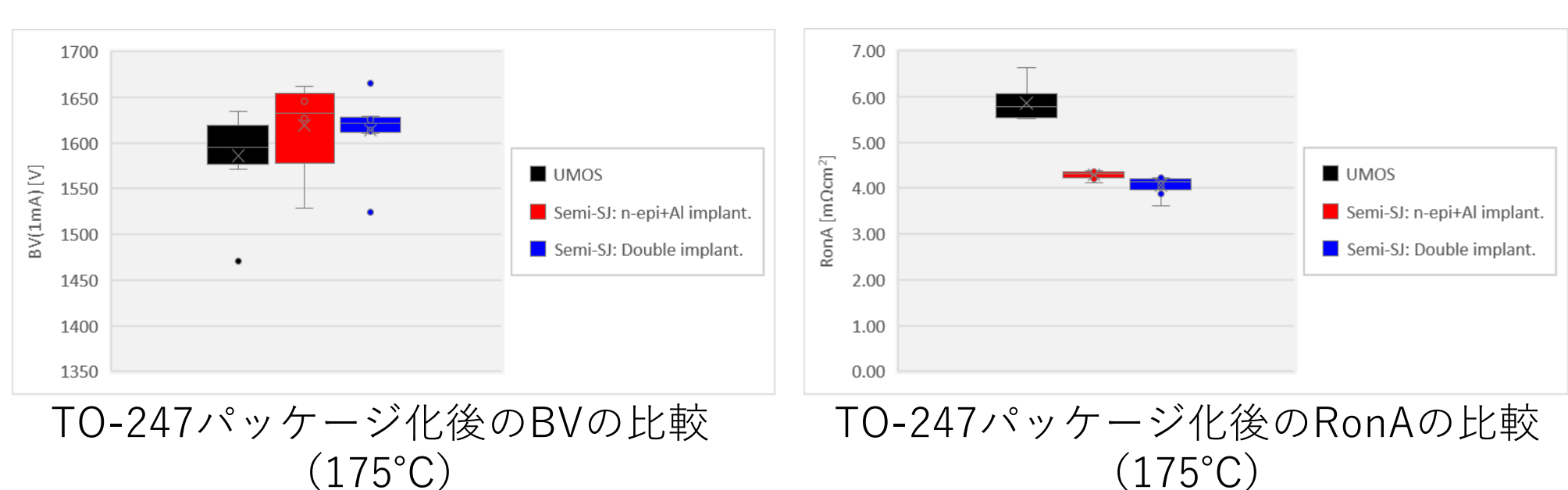
◆通電試験スケジュール
 T0: 初期測定...100A/cm²(5.5A), 10min
 T1: 測定...500A/cm²(27.3A), 5min
 T2: 測定...1000A/cm²(54.7A), 5min
 T3: 測定...1500A/cm²(82.0A), 5min

従来プロセス ダブルインプラ方式でのプロセス

SiC中でのAlイオンとPイオンの平均飛程シミュレーション結果

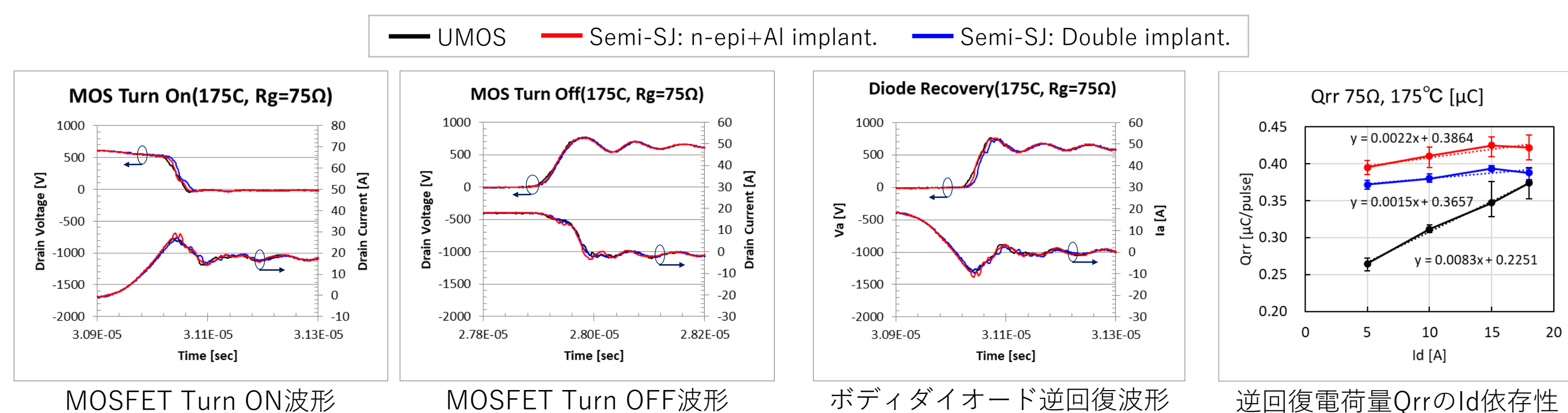
◆結果と考察

■静特性の評価結果



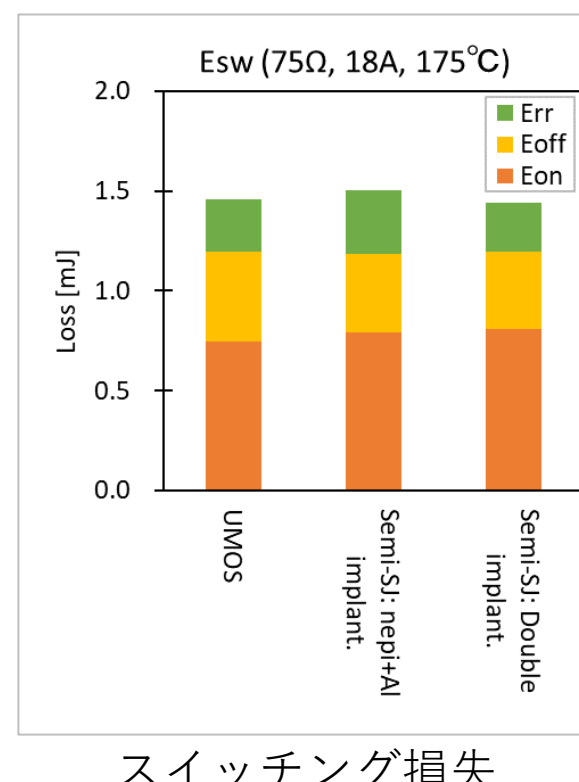
◆静特性の評価結果 (175°C)
 ・SJは最高BVとなるトレンチ幅で比較。
 ■ダブルインプラSemi-SJの静特性
 ・BV...平均約1614V
 ・RonA...平均約4.07mΩcm²
 →UMOSや従来のSemi-SJと同等。特性パラッキも特に問題なし。

■動特性の評価結果

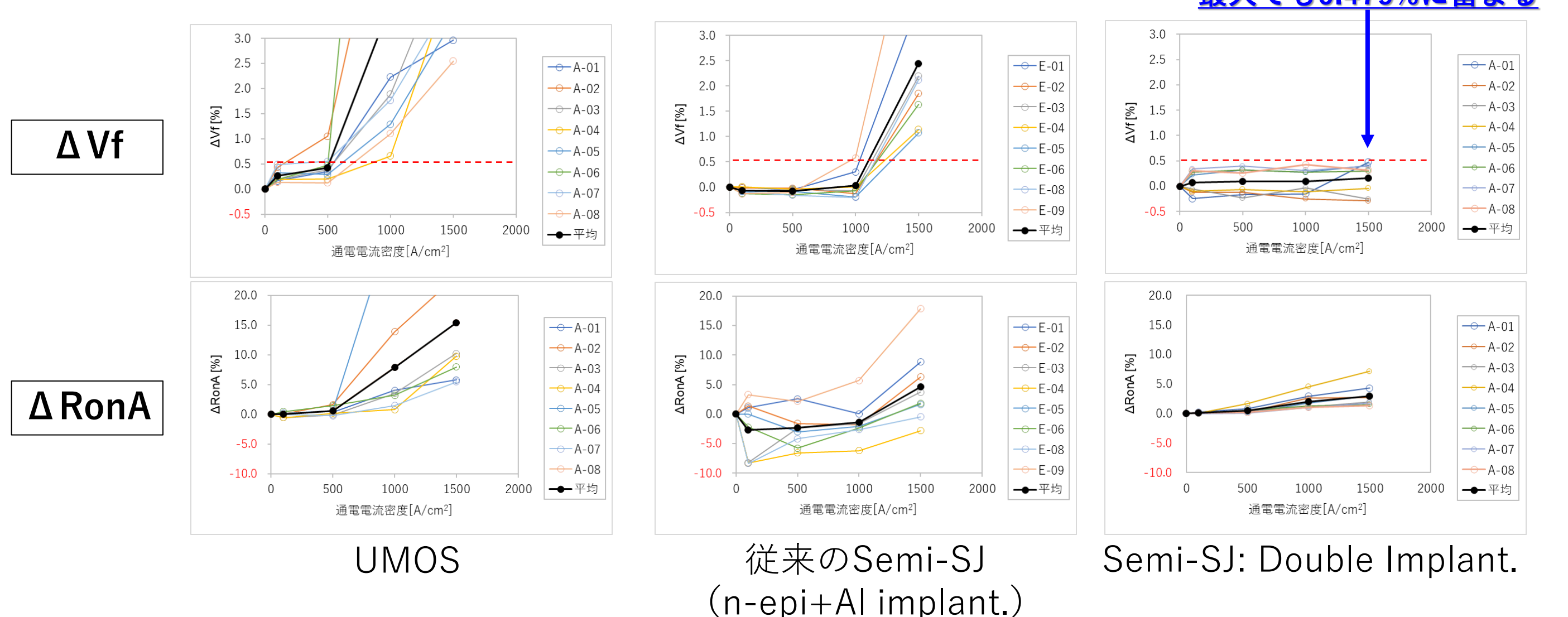


◆動特性の評価結果 (175°C)

- MOSFETのTurn-ON/OFF波形
・従来方式のSemi-SJと比較して、ダブルインプラSemi-SJに大きな差はない。
- ボディダイオードの逆回復波形
・従来方式のSemi-SJと比較して、ダブルインプラSemi-SJに大きな差はない。
- 逆回復電荷量Qrrのドレイン電流Id依存性
・従来方式のSemi-SJと比較して、ダブルインプラSemi-SJのQrrは低減。
・また、フラットなQrr-Id依存性を示し、キャリア注入が抑制されている傾向。
→Pイオン注入に伴い発生した結晶欠陥で、キャリア寿命が短縮している可能性あり。
- スイッチング損失
・従来方式のSemi-SJと比較して、ダブルインプラSemi-SJに大きな差はない。
→更に大電流で駆動させれば、Qrrの低減効果が見られると考えられる。



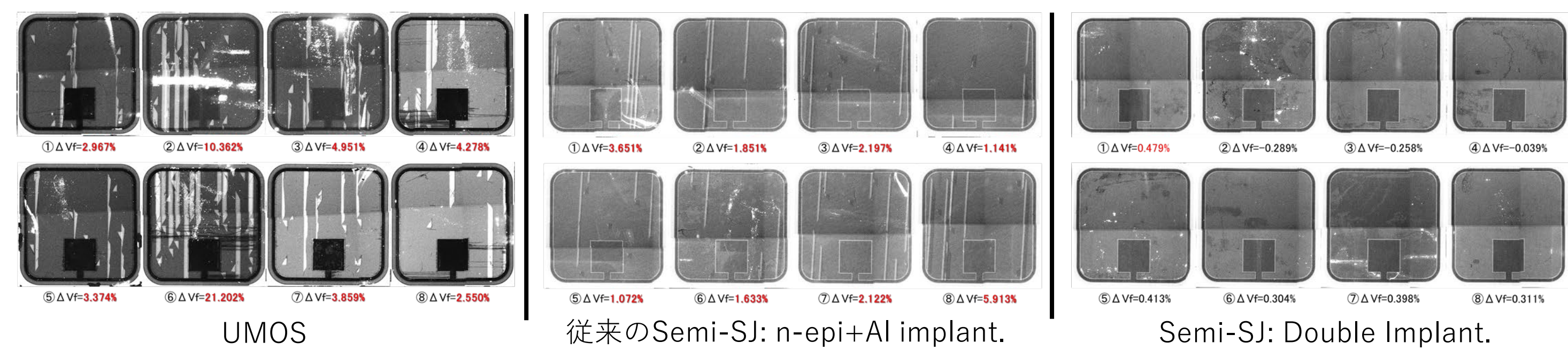
■通電ストレス試験結果



◆通電ストレス試験結果

- ・UMOSと従来方式のSemi-SJは、1500mA/cm²通電後は全てのチップでΔVfが合格判定基準の0.5%を超過した。
- ・ダブルインプラSemi-SJのみ、1500mA/cm²通電後も全てのチップのΔVfが0.5%未満に留まった。
- ΔRonAは増大したが、UMOSや従来方式のSemi-SJと比較すると、変化量は少ない傾向だった。

■通電ストレス試験後のPLイメージング測定結果

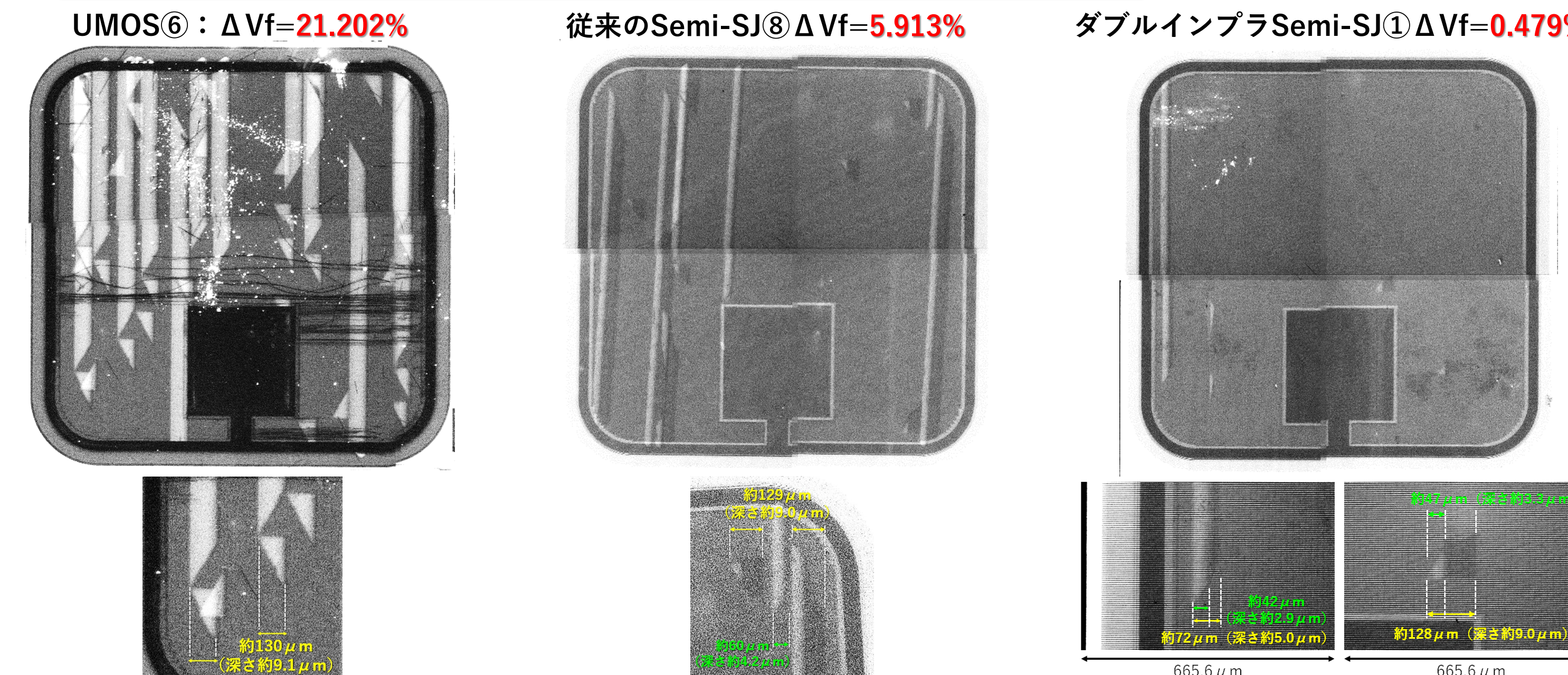


◆PLイメージング測定条件...励起光: HgXeランプ、バンドパスフィルター: 波長420nm、基板温度: 室温

◆通電ストレス試験後のPLイメージング測定結果

- ・UMOSと従来方式のSemi-SJは、全てのチップで三角欠陥や帯状欠陥が多発した。
- ・ダブルインプラSemi-SJは、最大ΔVf=0.479%のチップで三角欠陥2個と帯状欠陥1本が発生したのみ、他は変化なし。

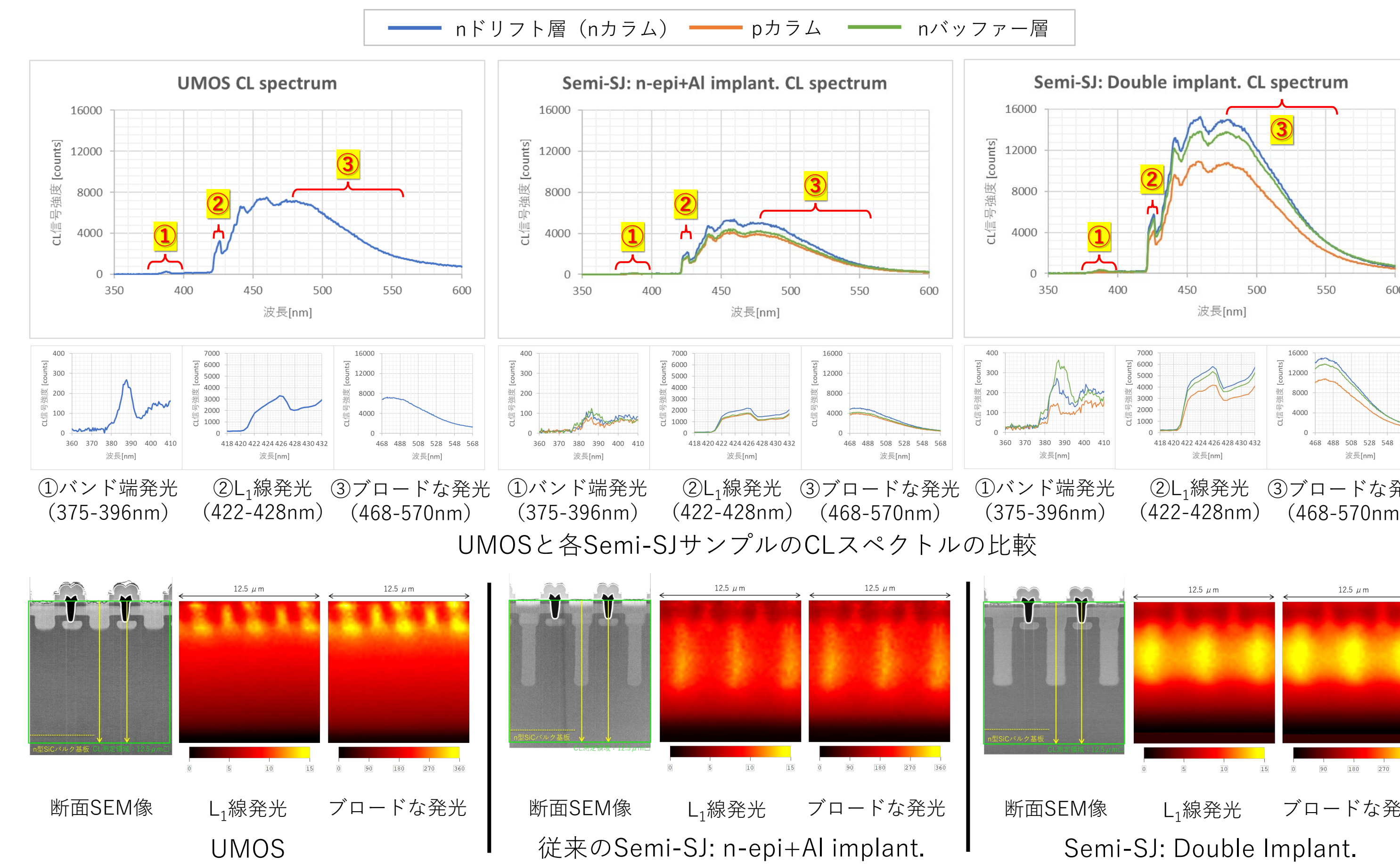
■最大ΔVfのチップでのPLイメージング像の比較



◆通電劣化に伴う積層欠陥の比較

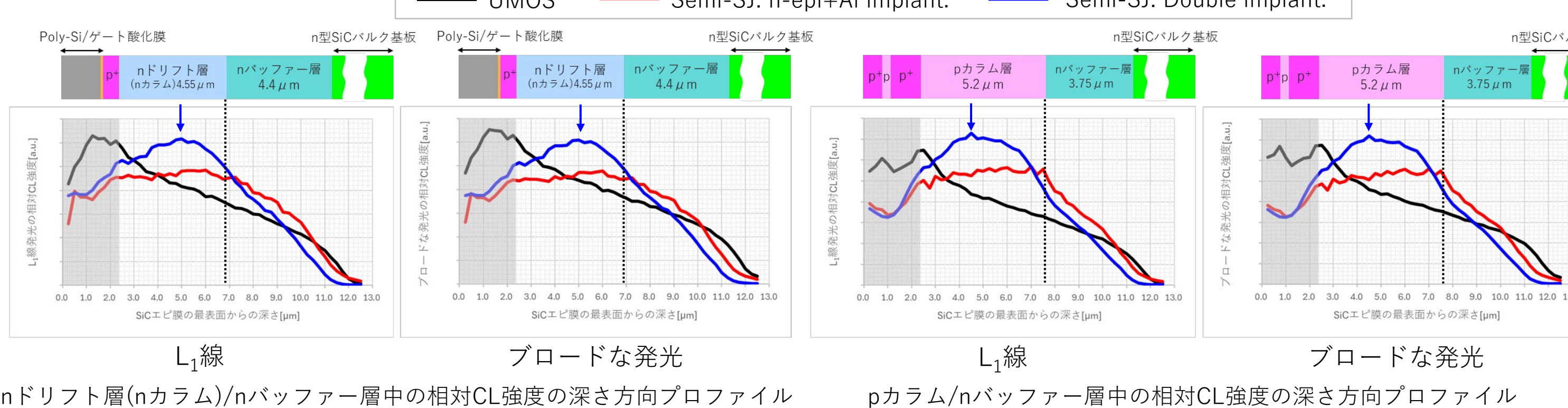
- ・UMOSと従来のSemi-SJでは、エピ/基板界面から、ほぼ最表面まで至る深さの三角欠陥や帯状欠陥が多発した。
- ・従来のSemi-SJとダブルインプラSemi-SJの三角欠陥と帯状欠陥は、PL発光の輝度が明るい部分と暗い部分に別れていた。イオン注入で作製したSJカラム内のキャリア寿命が、エピ成長で作製したnバッファ層より短いことに起因している可能性がある。
- ・従来のSemi-SJの一部とダブルインプラSemi-SJの帯状欠陥は深さ3~4μmで、SJカラムが深さ方向の拡張を抑制している可能性がある。

■断面SEM観察と断面CL (カソードルミネッセンス) 分析結果



◆CL測定条件

- ・温度28K、加速電圧10kV



◆単結晶4H-SiCエピ膜のCL分析

- ・同じサンプルでも測定毎や測定位置等でCL発光強度が変化するため、異種サンプル同士の比較時はCL強度を規格化するのが望ましい。
- ・単結晶4H-SiCのエピ膜によるCL発光の積算強度 (375-396nm) で規格化した相対CL強度でのCLマッピング像を評価。
- 結晶欠陥によるCL発光の例
・L₁線 (422-428nm) ...SiとCのアンチサイト欠陥による約425nmのCL発光[3]。ホールトラップだがライフタイムカラーではない[4]。
・ブロードな発光 (468-570nm) ...帰属不明な結晶欠陥によるCL発光。波長約468-570nmの帯域でブロードなスペクトル形状を示す。
- 相対CL強度像の比較結果
・pカラムのAlイオン注入に加えてnドリフト層の全面にPイオン注入を行ったダブルインプラSemi-SJは、相対CL強度が最も強かった。
・従来のSemi-SJはnカラムにイオン注入していないので、pカラムから欠陥が拡散した影響でUMOSより相対CL強度が強いと考えられる。

◆まとめ

- ・Pイオン注入により多くの結晶欠陥が発生して、作製プロセス中に拡散しつつ欠陥が残った影響でCL発光強度が増すと考えられる。
- ・Qrr低減も考慮すると、ダブルインプラSemi-SJは従来よりキャリア寿命が短縮することで、通電劣化が抑制されている可能性が高い。

◆謝辞

■本研究は、共同研究体つくばパワーエレクトロニクスコンステレーション (TPEC) の事業として行われた。試作・評価および議論にご協力頂いたミライズテクノロジーズの岡田和将殿、産総研の森本忠雄殿、染谷満殿、米澤喜幸殿、富士電機の馬場正和殿に謝意を表す。竹中研介、俵武志は富士電機より出向。■断面CL分析と断面SEM観察にご協力頂いた、東レリサーチセンターの杉江隆一殿、橋本愛殿に謝意を表す。

◆参考文献

- [1] Y. Kobayashi *et al.*, Proc. ISPSD2019 (2019) 31
- [2] T. Fukui *et al.*, 2023 Jpn. J. Appl. Phys. **62** 016508
- [3] T. Mitani *et al.*, Materials Science Forum **Vols. 600-603** (2009) pp 615-618
- [4] L. Strasta *et al.*, Appl. Phys. Lett. **78** (2001) pp. 46-48